

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-320294

(43)Date of publication of application : 03.12.1996

(51)Int.Cl.

G01N 21/88
G01B 11/30
G06T 7/00

(21)Application number : 07-128197

(71)Applicant : HITACHI LTD

(22)Date of filing : 26.05.1995

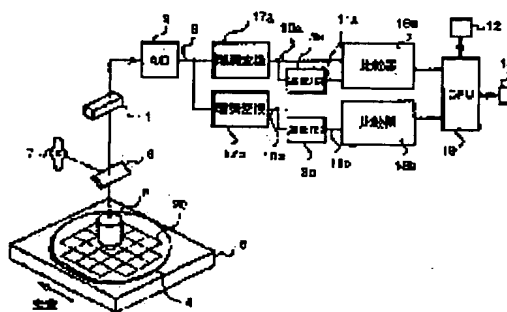
(72)Inventor : MAEDA SHUNJI
YOSHIDA MINORU
NAKAYAMA YASUHIKO
KUBOTA HITOSHI
OKA KENJI
MAKIHARA HIROSHI

(54) DEVICE AND METHOD FOR INSPECTING DEFECT OF PATTERN TO BE INSPECTED

(57)Abstract:

PURPOSE: To inspect a defect with high reliability by gradation-converting detected image signals when an area with high pattern density and an area with low pattern density are included in a pattern to be inspected, and almost equalizing the respective detecting sensitivities of defect to each other.

CONSTITUTION: Gradation converters 17a, 17b gradually increase and decrease output to input by logarithmic conversion or polynomial conversion or the like to perform a gradation conversion. They also have delay memories 3a, 3b. A first comparator 18a corresponding to a mat part performs the cell comparison of the image signal 10a outputted from the gradation converter 17a with the signal 11a obtained from the first delay memory 3a and subjected to gradation conversion with a delay for a pitch of one cell or a plurality of cells to detect a defect in a memory mat part. The comparator 18b also performs the chip comparison of a signal 11b through the same process to detect the defect. A CPU 9 selects the result from the comparator 18a and the result from the comparator 18b to perform a final judgment.



LEGAL STATUS

[Date of request for examination] 16.09.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3279868

[Date of registration] 22.02.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-320294

(43)公開日 平成8年(1996)12月3日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 N 21/88			G 0 1 N 21/88	E
G 0 1 B 11/30			G 0 1 B 11/30	G
G 0 6 T 7/00			G 0 6 F 15/62	4 0 5 A

審査請求 未請求 請求項の数19 O L (全 13 頁)

(21)出願番号 特願平7-128197

(22)出願日 平成7年(1995)5月26日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 前田 俊二

神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内

(72)発明者 吉田 実

神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内

(72)発明者 中山 保彦

神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内

(74)代理人 弁理士 高橋 明夫 (外1名)

最終頁に続く

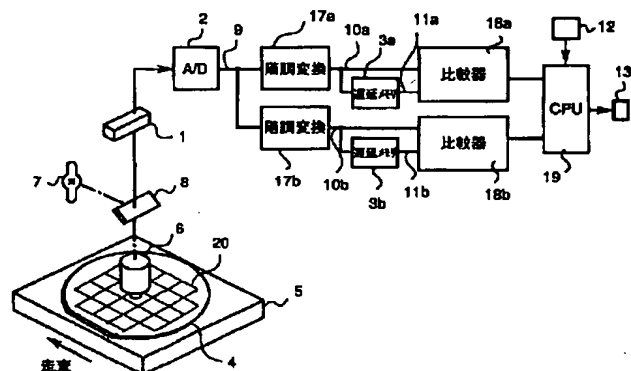
(54)【発明の名称】 被検査パターンの欠陥検査方法及びその装置

(57)【要約】

【目的】本発明の目的は、半導体ウエハにおけるメモリマット部、周辺回路いずれの領域も、欠陥を信頼性高く検出すべく、高感度な比較検査を実現する被検査パターンの欠陥検査方法及びその装置を提供することにある。

【構成】本発明は、メモリマット部21などのパターン密度が高い領域と周辺回路部22などのパターン密度が低い領域の明るさやコントラストが定めた関係になるように、検出画像信号をそれぞれ階調変換し、変換した画像信号をそれぞれ比較に用い、またセル比較において、不一致の長さや明暗情報に基づいて大きな欠陥を検出することを特徴とするものである。

図 1



【特許請求の範囲】

【請求項1】セルである繰返しパターン領域からなるメモリマット部と非繰返しパターン領域からなる周辺回路部とを有するチップを複数配設した被検査パターンにおける欠陥検査方法において、前記被検査パターンから画像信号を検出し、この検出された画像信号に対してメモリマット部に適する第1の階調変換を施すと共に周辺回路部に適する第2の階調変換を施し、前記第1の階調変換された画像信号について基準の第1の画像信号と比較することによってメモリマット部における欠陥を検出し、前記第2の階調変換された画像信号について基準の第2の画像信号と比較することによって周辺回路部における欠陥を検出することを特徴とする被検査パターンの欠陥検査方法。

【請求項2】前記基準の第1の画像信号は、メモリマット部に適する第1の階調変換が施され、前記基準の第2の画像信号は、周辺回路部に適する第2の階調変換が施されたことを特徴とする請求項1記載の被検査パターンの欠陥検査方法。

【請求項3】セルである繰返しパターン領域からなるメモリマット部と非繰返しパターン領域からなる周辺回路部とを有するチップを複数配設した被検査パターンにおける欠陥検査方法において、前記被検査パターンから画像信号を検出し、この検出された画像信号に対してメモリマット部に適する第1の階調変換を施すと共に周辺回路部に適する第2の階調変換を施し、前記第1の階調変換された画像信号についてセル比較によってメモリマット部における欠陥を検出し、前記第2の階調変換された画像信号についてチップ比較によって周辺回路部における欠陥を検出することを特徴とする被検査パターンの欠陥検査方法。

【請求項4】セルである繰返しパターン領域からなるメモリマット部と非繰返しパターン領域からなる周辺回路部とを有するチップを複数配設した被検査パターンにおける欠陥検査方法において、前記被検査パターンから画像信号を検出し、この検出された画像信号に対してメモリマット部に適する第1の階調変換を施すと共に周辺回路部に適する第2の階調変換を施し、前記第1の階調変換された画像信号について基準の第1の画像信号と比較し、不一致領域の長さまたは不一致領域の画像間の明るさ情報に基づいてメモリマット部における欠陥を検出し、前記第2の階調変換された画像信号について基準の第2の画像信号と比較することによって周辺回路部における欠陥を検出することを特徴とする被検査パターンの欠陥検査方法。

【請求項5】セルである繰返しパターン領域からなるメモリマット部と非繰返しパターン領域からなる周辺回路部とを有するチップを複数配設した被検査パターンにおける欠陥検査方法において、前記被検査パターンから画像信号を検出し、この検出された画像信号に対してメモ

リマット部に適する第1の階調変換を施すと共に周辺回路部に適する第2の階調変換を施し、前記第1の階調変換された画像信号について基準の第1の画像信号と比較することによってメモリマット部における欠陥を検出し、不一致領域の明暗分布情報に基づき欠陥を分類し、前記第2の階調変換された画像信号について基準の第2の画像信号と比較することによって周辺回路部における欠陥を検出することを特徴とする被検査パターンの欠陥検査方法。

【請求項6】セルである繰返しパターン領域からなるメモリマット部と非繰返しパターン領域からなる周辺回路部とを有するチップを複数配設した被検査パターンにおける欠陥検査方法において、前記被検査パターンから画像信号を検出し、この検出された画像信号に対してメモリマット部に適する第1の階調変換を施すと共に周辺回路部に適する第2の階調変換を施し、前記第1の階調変換された画像信号についてセル比較し、不一致領域の長さまたは不一致領域の画像間の明るさ情報に基づいてメモリマット部における欠陥を検出し、前記第2の階調変換された画像信号についてチップ比較によって周辺回路部における欠陥を検出することを特徴とする被検査パターンの欠陥検査方法。

【請求項7】セルである繰返しパターン領域からなるメモリマット部と非繰返しパターン領域からなる周辺回路部とを有するチップを複数配設した被検査パターンにおける欠陥検査方法において、前記被検査パターンから画像信号を検出し、この検出された画像信号に対してメモリマット部に適する第1の階調変換を施すと共に周辺回路部に適する第2の階調変換を施し、前記第1の階調変換された画像信号についてセル比較によりメモリマット部における欠陥を検出して不一致領域の明暗分布情報に基づき欠陥を分類し、前記第2の階調変換された画像信号についてチップ比較によって周辺回路部における欠陥を検出することを特徴とする被検査パターンの欠陥検査方法。

【請求項8】前記第1及び第2の階調変換は、対数変換や指数変換、多項式変換であることを特徴とする請求項1又は3又は4又は5又は6又は7記載の被検査パターンの欠陥検査方法。

【請求項9】セルである繰返しパターン領域からなるメモリマット部と非繰返しパターン領域からなる周辺回路部とを有するチップを複数配設した被検査パターンにおける欠陥検査装置において、前記被検査パターンから画像信号を検出する検出系と、該検出系から検出された画像信号に対してメモリマット部に適する第1の階調変換を施す第1の階調変換手段と、前記検出系から検出された画像信号に対して周辺回路部に適する第2の階調変換を施す第2の階調変換手段と、前記第1の階調変換手段で第1の階調変換された画像信号について基準の第1の画像信号と比較することによってメモリマット部にお

る欠陥を検出する第1の比較手段と、前記第1の階調変換手段で第2の階調変換された画像信号について基準の第2の画像信号と比較することによって周辺回路部における欠陥を検出する第2の比較手段と、前記第1の比較手段と前記第2の比較手段との各々における比較または前記第1の比較手段と前記第2の比較手段との各々から検出される欠陥を選択する選択手段とを備えたことを特徴とする被検査パターンの欠陥検査装置。

【請求項10】前記第1の比較手段は前記基準の第1の画像信号についてメモリマット部に適する第1の階調変換が施されて得られるように構成し、前記第2の比較手段は前記基準の第2の画像信号について周辺回路部に適する第2の階調変換が施されて得られるように構成したことを特徴とする請求項9記載の被検査パターンの欠陥検査装置。

【請求項11】セルである繰返しパターン領域からなるメモリマット部と非繰返しパターン領域からなる周辺回路部とを有するチップを複数配設した被検査パターンにおける欠陥検査装置において、前記被検査パターンから画像信号を検出する検出系と、該検出系から検出された画像信号に対してメモリマット部に適する第1の階調変換を施す第1の階調変換手段と、前記検出系から検出された画像信号に対して周辺回路部に適する第2の階調変換を施す第2の階調変換手段と、前記第1の階調変換手段で第1の階調変換された画像信号についてセル比較によってメモリマット部における欠陥を検出する第1の比較手段と、前記第1の階調変換手段で第2の階調変換された画像信号についてチップ比較によって周辺回路部における欠陥を検出する第2の比較手段と、前記第1の比較手段と前記第2の比較手段との各々における比較または前記第1の比較手段と前記第2の比較手段との各々から検出される欠陥を選択する選択手段とを備えたことを特徴とする被検査パターンの欠陥検査装置。

【請求項12】セルである繰返しパターン領域からなるメモリマット部と非繰返しパターン領域からなる周辺回路部とを有するチップを複数配設した被検査パターンにおける欠陥検査装置において、前記被検査パターンから画像信号を検出する検出系と、該検出系から検出された画像信号に対してメモリマット部に適する第1の階調変換を施す第1の階調変換手段と、前記検出系から検出された画像信号に対して周辺回路部に適する第2の階調変換を施す第2の階調変換手段と、前記第1の階調変換手段で第1の階調変換された画像信号について基準の第1の画像信号と比較し、不一致領域の長さまたは不一致領域の画像間の明るさ情報に基づいてメモリマット部における欠陥を検出する第1の比較手段と、前記第1の階調変換手段で第2の階調変換された画像信号について基準の第2の画像信号と比較することによって周辺回路部における欠陥を検出する第2の比較手段と、前記第1の比較手段と前記第2の比較手段との各々における比較また

は前記第1の比較手段と前記第2の比較手段との各々から検出される欠陥を選択する選択手段とを備えたことを特徴とする被検査パターンの欠陥検査装置。

【請求項13】セルである繰返しパターン領域からなるメモリマット部と非繰返しパターン領域からなる周辺回路部とを有するチップを複数配設した被検査パターンにおける欠陥検査装置において、前記被検査パターンから画像信号を検出する検出系と、該検出系から検出された画像信号に対してメモリマット部に適する第1の階調変換を施す第1の階調変換手段と、前記検出系から検出された画像信号に対して周辺回路部に適する第2の階調変換を施す第2の階調変換手段と、前記第1の階調変換手段で第1の階調変換された画像信号について基準の第1の画像信号と比較し、不一致領域の長さまたは不一致領域の画像間の明るさ情報に基づいてメモリマット部における欠陥を検出して不一致領域の明暗分布情報に基づき欠陥を分類する第1の比較手段と、前記第1の階調変換手段で第2の階調変換された画像信号について基準の第2の画像信号と比較することによって周辺回路部における欠陥を検出する第2の比較手段と、前記第1の比較手段と前記第2の比較手段との各々における比較または前記第1の比較手段と前記第2の比較手段との各々から検出される欠陥を選択する選択手段とを備えたことを特徴とする被検査パターンの欠陥検査装置。

【請求項14】セルである繰返しパターン領域からなるメモリマット部と非繰返しパターン領域からなる周辺回路部とを有するチップを複数配設した被検査パターンにおける欠陥検査装置において、前記被検査パターンから画像信号を検出する検出系と、該検出系から検出された画像信号に対してメモリマット部に適する第1の階調変換を施す第1の階調変換手段と、前記検出系から検出された画像信号に対して周辺回路部に適する第2の階調変換を施す第2の階調変換手段と、前記第1の階調変換手段で第1の階調変換された画像信号についてセル比較し、不一致領域の長さまたは不一致領域の画像間の明るさ情報に基づいてメモリマット部における欠陥を検出する第1の比較手段と、前記第1の階調変換手段で第2の階調変換された画像信号についてチップ比較によって周辺回路部における欠陥を検出する第2の比較手段と、前記第1の比較手段と前記第2の比較手段との各々における比較または前記第1の比較手段と前記第2の比較手段との各々から検出される欠陥を選択する選択手段とを備えたことを特徴とする被検査パターンの欠陥検査装置。

【請求項15】セルである繰返しパターン領域からなるメモリマット部と非繰返しパターン領域からなる周辺回路部とを有するチップを複数配設した被検査パターンにおける欠陥検査装置において、前記被検査パターンから画像信号を検出する検出系と、該検出系から検出された画像信号に対してメモリマット部に適する第1の階調変換を施す第1の階調変換手段と、前記検出系から検出さ

れた画像信号に対して周辺回路部に適する第2の階調変換を施す第2の階調変換手段と、前記第1の階調変換手段で第1の階調変換された画像信号についてセル比較することによってメモリマット部における欠陥を検出して不一致領域の明暗分布情報に基づき欠陥を分類する第1の比較手段と、前記第1の階調変換手段で第2の階調変換された画像信号についてチップ比較によって周辺回路部における欠陥を検出する第2の比較手段と、前記第1の比較手段と前記第2の比較手段との各々における比較または前記第1の比較手段と前記第2の比較手段との各々から検出される欠陥を選択する選択手段とを備えたことを特徴とする被検査パターンの欠陥検査装置。

【請求項16】前記選択手段は、被検査パターンにおけるメモリマット部と周辺回路部との配列データに基づいて選択するように構成したことを特徴とする請求項9又は11又は12又は13又は14又は15記載の被検査パターン欠陥検査装置。

【請求項17】前記選択手段は、前記第1の比較手段におけるセル比較において得られる不一致情報に基づいて選択するように構成したことを特徴とする請求項14又は15記載の被検査パターン欠陥検査装置。

【請求項18】パターン密度の高い領域とパターン密度の低い領域とを有する被検査パターンにおける欠陥検査方法において、前記被検査パターンから画像信号を検出し、この検出された画像信号に対してパターン密度の高い領域に適する第1の階調変換を施すと共にパターン密度の低い領域に適する第2の階調変換を施し、前記第1の階調変換された画像信号について基準の第1の画像信号と比較することによってパターン密度の高い領域における欠陥を検出し、前記第2の階調変換された画像信号について基準の第2の画像信号と比較することによってパターン密度の低い領域における欠陥を検出することを特徴とする被検査パターン欠陥検査方法。

【請求項19】パターン密度の高い領域とパターン密度の低い領域とを有する被検査パターンにおける欠陥検査装置において、前記被検査パターンから画像信号を検出する検出系と、該検出系から検出された画像信号に対してパターン密度の高い領域に適する第1の階調変換を施す第1の階調変換手段と、前記検出系から検出された画像信号に対してパターン密度の低い領域に適する第2の階調変換を施す第2の階調変換手段と、前記第1の階調変換手段で第1の階調変換された画像信号について基準の第1の画像信号と比較することによってパターン密度の高い領域における欠陥を検出する第1の比較手段と、前記第1の階調変換手段で第2の階調変換された画像信号について基準の第2の画像信号と比較することによってパターン密度の低い領域における欠陥を検出する第2の比較手段と、前記第1の比較手段と前記第2の比較手段との各々における比較または前記第1の比較手段と前記第2の比較手段との各々から検出される欠陥を選択す

る選択手段とを備えたことを特徴とする被検査パターン欠陥検査装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は被検査パターン欠陥を検出する外観検査に係り、特に半導体ウエハや液晶ディスプレイなどの被検査パターンにおける欠陥を検査する被検査パターン欠陥検査方法及びその装置に関する。

【0002】

【従来の技術】従来、この種の検査装置は特開昭55-74409号（従来技術1）に記載のように、被検査パターンを移動させつつ、ラインセンサ等の撮像素子により被検査パターンの画像を検出し、検出した画像信号と定めた時間遅らせた画像信号の濃淡を比較することにより、不一致を欠陥として認識するものであった。

【0003】また、被検査パターン欠陥検査に関する従来技術としては、特開平6-174652号公報（従来技術2）が知られている。この従来技術2には、メモリマット部などのパターン密度が高い領域と周辺回路などのパターン密度が低い領域とがチップ内に混在する半導体ウエハなどの被検査パターンから検出された画像上での明るさ-頻度分布より被検査パターンの高密度領域と低密度領域との間での明るさあるいはコントラストが階調変換により定めた関係となるべく、前記検出された画像信号をA/D変換して得られるデジタル画像信号に対して階調変換し、この階調変換された画像信号と比較する階調変換された画像信号とについて関数近似し、これら関数近似された曲線の間の差について積分し、この積分値からの位置ずれの高精度検出に基づいて両階調変換された画像信号を位置合わせした状態で被検査パターン比較を行って微細欠陥を高精度に検査する技術が記載されている。

【0004】

【発明が解決しようとする課題】ところで、半導体ウエハなどの被検査パターンでは、メモリマット部などのパターン密度が高い領域と周辺回路などのパターン密度が低い領域とがチップ内に混在し、メモリマット部ではパターンが暗く観察され、周辺回路部ではパターンが明るく観察される。しかしながら、上記従来技術においては、メモリマット部などのパターン密度が高い領域と周辺回路などのパターン密度が低い領域とにおいて欠陥の検出感度をほぼ等しくしようとする課題について考慮されていなかった。

【0005】本発明の目的は、上記課題を解決すべく、パターン密度が高い領域とパターン密度が低い領域とが混在する被検査パターンにおいて、欠陥の検出感度をほぼ等しくして欠陥を高信頼性でもって検査することができるようにした被検査パターン欠陥検査方法及びその装置を提供することにある。また本発明の他の目的は、メモリマット部などのパターン密度が高い領域と周辺回

路などのパターン密度が低い領域とがチップ内に混在する半導体ウエハなどの被検査パターンにおいて、メモリマツト部及び周辺回路部のいずれの領域においても欠陥の検出感度を低くすることなく欠陥を高信頼度で検査できるようにした被検査パターンの欠陥検査方法及びその装置を提供することにある。また本発明の他の目的は、メモリマツト部などのパターン密度が高い領域と周辺回路などのパターン密度が低い領域とがチップ内に混在する半導体ウエハなどの被検査パターンにおいて、メモリマツト部における欠陥検査を信頼性を高くして実現できるようにした被検査パターンの欠陥検査方法及びその装置を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するために、本発明は、セルである繰返しパターン領域からなるメモリマツト部と非繰返しパターン領域からなる周辺回路部とを有するチップを複数配設した被検査パターンにおける欠陥検査方法において、前記被検査パターンから画像信号を検出し、この検出された画像信号に対してメモリマツト部に適する第1の階調変換を施すと共に周辺回路部に適する第2の階調変換を施し、前記第1の階調変換された画像信号について基準の第1の画像信号と比較することによってメモリマツト部における欠陥を検出し、前記第2の階調変換された画像信号について基準の第2の画像信号と比較することによって周辺回路部における欠陥を検出することを特徴とする被検査パターンの欠陥検査方法である。また本発明は、前記被検査パターンの欠陥検査方法において、前記基準の第1の画像信号は、メモリマツト部に適する第1の階調変換が施され、前記基準の第2の画像信号は、周辺回路部に適する第2の階調変換が施されたことを特徴とする。また本発明は、セルである繰返しパターン領域からなるメモリマツト部と非繰返しパターン領域からなる周辺回路部とを有するチップを複数配設した被検査パターンにおける欠陥検査方法において、前記被検査パターンから画像信号を検出し、この検出された画像信号に対してメモリマツト部に適する第1の階調変換を施すと共に周辺回路部に適する第2の階調変換を施し、前記第1の階調変換された画像信号についてセル比較によってメモリマツト部における欠陥を検出し、前記第2の階調変換された画像信号についてチップ比較によって周辺回路部における欠陥を検出することを特徴とする被検査パターンの欠陥検査方法である。

【0007】また本発明は、セルである繰返しパターン領域からなるメモリマツト部と非繰返しパターン領域からなる周辺回路部とを有するチップを複数配設した被検査パターンにおける欠陥検査方法において、前記被検査パターンから画像信号を検出し、この検出された画像信号に対してメモリマツト部に適する第1の階調変換を施すと共に周辺回路部に適する第2の階調変換を施し、前

記第1の階調変換された画像信号について基準の第1の画像信号と比較し、不一致領域の長さまたは不一致領域の画像間の明るさ情報に基づいてメモリマツト部における欠陥を検出し、前記第2の階調変換された画像信号について基準の第2の画像信号と比較することによって周辺回路部における欠陥を検出することを特徴とする被検査パターンの欠陥検査方法である。また本発明は、セルである繰返しパターン領域からなるメモリマツト部と非繰返しパターン領域からなる周辺回路部とを有するチップを複数配設した被検査パターンにおける欠陥検査方法において、前記被検査パターンから画像信号を検出し、この検出された画像信号に対してメモリマツト部に適する第1の階調変換を施すと共に周辺回路部に適する第2の階調変換を施し、前記第1の階調変換された画像信号について基準の第1の画像信号と比較することによってメモリマツト部における欠陥を検出して不一致領域の明暗分布情報に基づき欠陥を分類し、前記第2の階調変換された画像信号について基準の第2の画像信号と比較することによって周辺回路部における欠陥を検出することを特徴とする被検査パターンの欠陥検査方法である。また本発明は、セルである繰返しパターン領域からなるメモリマツト部と非繰返しパターン領域からなる周辺回路部とを有するチップを複数配設した被検査パターンにおける欠陥検査方法において、前記被検査パターンから画像信号を検出し、この検出された画像信号に対してメモリマツト部に適する第1の階調変換を施すと共に周辺回路部に適する第2の階調変換を施し、前記第1の階調変換された画像信号についてセル比較し、不一致領域の長さまたは不一致領域の画像間の明るさ情報に基づいてメモリマツト部における欠陥を検出し、前記第2の階調変換された画像信号についてチップ比較によって周辺回路部における欠陥を検出することを特徴とする被検査パターンの欠陥検査方法である。

【0008】また本発明は、セルである繰返しパターン領域からなるメモリマツト部と非繰返しパターン領域からなる周辺回路部とを有するチップを複数配設した被検査パターンにおける欠陥検査方法において、前記被検査パターンから画像信号を検出し、この検出された画像信号に対してメモリマツト部に適する第1の階調変換を施すと共に周辺回路部に適する第2の階調変換を施し、前記第1の階調変換された画像信号についてセル比較によりメモリマツト部における欠陥を検出して不一致領域の明暗分布情報に基づき欠陥を分類し、前記第2の階調変換された画像信号についてチップ比較によって周辺回路部における欠陥を検出することを特徴とする被検査パターンの欠陥検査方法である。また本発明は、前記被検査パターンの欠陥検査方法において、前記第1及び第2の階調変換は、対数変換や指数変換、多項式変換であることを特徴とする。また本発明は、前記被検査パターンの欠陥検査方法において、同一となるように形成された複

数の被検査パターンの比較において、不一致領域の明るさを用いて、欠陥が本来のパターンの明るさより暗いか明るいかを識別することを特徴とする。また本発明は、前記被検査パターンの欠陥検査方法において、2回連続に対応する位置に検出された不一致の明暗情報、例えば正負として検出し、2回とも同じ符号のときは、これを出ししないことを特徴とする。また本発明は、前記被検査パターンの欠陥検査方法において、1回のみ検出される不一致に関し、不一致領域の長さが定めた値より大きいときは、その不一致領域内の明暗情報の変化を検出し、欠陥が本来のパターンの明るさより暗いか明るいかを識別することを特徴とする。

【0009】また本発明は、セルである繰返しパターン領域からなるメモリマット部と非繰返しパターン領域からなる周辺回路部とを有するチップを複数配設した被検査パターンにおける欠陥検査装置において、前記被検査パターンから画像信号を検出する検出系（検出光学系、2次電子検出系）と、該検出系から検出された画像信号に対してメモリマット部に適する第1の階調変換を施す第1の階調変換手段と、前記検出系から検出された画像信号に対して周辺回路部に適する第2の階調変換を施す第2の階調変換手段と、前記第1の階調変換手段で第1の階調変換された画像信号について基準の第1の画像信号と比較することによってメモリマット部における欠陥を検出する第1の比較手段と、前記第1の階調変換手段で第2の階調変換された画像信号について基準の第2の画像信号と比較することによって周辺回路部における欠陥を検出する第2の比較手段と、前記第1の比較手段と前記第2の比較手段との各々における比較または前記第1の比較手段と前記第2の比較手段との各々から検出される欠陥を選択する選択手段とを備えたことを特徴とする被検査パターンの欠陥検査装置である。また本発明は、前記被検査パターンの欠陥検査装置において、前記第1の比較手段は前記基準の第1の画像信号についてメモリマット部に適する第1の階調変換が施されて得られるように構成し、前記第2の比較手段は前記基準の第2の画像信号について周辺回路部に適する第2の階調変換が施されて得られるように構成したことを特徴とする。また本発明は、セルである繰返しパターン領域からなるメモリマット部と非繰返しパターン領域からなる周辺回路部とを有するチップを複数配設した被検査パターンにおける欠陥検査装置において、前記被検査パターンから画像信号を検出する検出系（検出光学系、2次電子検出系）と、該検出系から検出された画像信号に対してメモリマット部に適する第1の階調変換を施す第1の階調変換手段と、前記検出系から検出された画像信号に対して周辺回路部に適する第2の階調変換を施す第2の階調変換手段と、前記第1の階調変換手段で第1の階調変換された画像信号についてセル比較によってメモリマット部における欠陥を検出する第1の比較手段と、前記第1の

階調変換手段で第2の階調変換された画像信号についてチップ比較によって周辺回路部における欠陥を検出する第2の比較手段と、前記第1の比較手段と前記第2の比較手段との各々における比較または前記第1の比較手段と前記第2の比較手段との各々から検出される欠陥を選択する選択手段とを備えたことを特徴とする被検査パターンの欠陥検査装置である。

【0010】また本発明は、セルである繰返しパターン領域からなるメモリマット部と非繰返しパターン領域からなる周辺回路部とを有するチップを複数配設した被検査パターンにおける欠陥検査装置において、前記被検査パターンから画像信号を検出する検出系（検出光学系、2次電子検出系）と、該検出系から検出された画像信号に対してメモリマット部に適する第1の階調変換を施す第1の階調変換手段と、前記検出系から検出された画像信号に対して周辺回路部に適する第2の階調変換を施す第2の階調変換手段と、前記第1の階調変換手段で第1の階調変換された画像信号について基準の第1の画像信号と比較し、不一致領域の長さまたは不一致領域の画像間の明るさ情報に基づいてメモリマット部における欠陥を検出する第1の比較手段と、前記第1の階調変換手段で第2の階調変換された画像信号について基準の第2の画像信号と比較することによって周辺回路部における欠陥を検出する第2の比較手段と、前記第1の比較手段と前記第2の比較手段との各々における比較または前記第1の比較手段と前記第2の比較手段との各々から検出される欠陥を選択する選択手段とを備えたことを特徴とする被検査パターンの欠陥検査装置である。

【0011】また本発明は、セルである繰返しパターン領域からなるメモリマット部と非繰返しパターン領域からなる周辺回路部とを有するチップを複数配設した被検査パターンにおける欠陥検査装置において、前記被検査パターンから画像信号を検出する検出系（検出光学系、2次電子検出系）と、該検出系から検出された画像信号に対してメモリマット部に適する第1の階調変換を施す第1の階調変換手段と、前記検出系から検出された画像信号に対して周辺回路部に適する第2の階調変換を施す第2の階調変換手段と、前記第1の階調変換手段で第1の階調変換された画像信号について基準の第1の画像信号と比較し、不一致領域の長さまたは不一致領域の画像間の明るさ情報に基づいてメモリマット部における欠陥を検出して不一致領域の明暗分布情報に基づき欠陥を分類する第1の比較手段と、前記第1の階調変換手段で第2の階調変換された画像信号について基準の第2の画像信号と比較することによって周辺回路部における欠陥を検出する第2の比較手段と、前記第1の比較手段と前記第2の比較手段との各々における比較または前記第1の比較手段と前記第2の比較手段との各々から検出される欠陥を選択する選択手段とを備えたことを特徴とする被検査パターンの欠陥検査装置である。また本発明は、セ

ルである繰返しパターン領域からなるメモリマット部と非繰返しパターン領域からなる周辺回路部とを有するチップを複数配設した被検査パターンにおける欠陥検査装置において、前記被検査パターンから画像信号を検出する検出系（検出光学系、2次電子検出系）と、該検出系から検出された画像信号に対してメモリマット部に適する第1の階調変換を施す第1の階調変換手段と、前記検出系から検出された画像信号に対して周辺回路部に適する第2の階調変換を施す第2の階調変換手段と、前記第1の階調変換手段で第1の階調変換された画像信号についてセル比較し、不一致領域の長さまたは不一致領域の画像間の明るさ情報に基づいてメモリマット部における欠陥を検出する第1の比較手段と、前記第1の階調変換手段で第2の階調変換された画像信号についてチップ比較によって周辺回路部における欠陥を検出する第2の比較手段と、前記第1の比較手段と前記第2の比較手段との各々における比較または前記第1の比較手段と前記第2の比較手段との各々から検出される欠陥を選択する選択手段とを備えたことを特徴とする被検査パターンの欠陥検査装置である。

【0012】また本発明は、セルである繰返しパターン領域からなるメモリマット部と非繰返しパターン領域からなる周辺回路部とを有するチップを複数配設した被検査パターンにおける欠陥検査装置において、前記被検査パターンから画像信号を検出する検出系（検出光学系、2次電子検出系）と、該検出系から検出された画像信号に対してメモリマット部に適する第1の階調変換を施す第1の階調変換手段と、前記検出系から検出された画像信号に対して周辺回路部に適する第2の階調変換を施す第2の階調変換手段と、前記第1の階調変換手段で第1の階調変換された画像信号についてセル比較することによってメモリマット部における欠陥を検出して不一致領域の明暗分布情報に基づき欠陥を分類する第1の比較手段と、前記第1の階調変換手段で第2の階調変換された画像信号についてチップ比較によって周辺回路部における欠陥を検出する第2の比較手段と、前記第1の比較手段と前記第2の比較手段との各々における比較または前記第1の比較手段と前記第2の比較手段との各々から検出される欠陥を選択する選択手段とを備えたことを特徴とする被検査パターンの欠陥検査装置である。また本発明は、前記被検査パターンの欠陥検査装置において、前記選択手段は、被検査パターンにおけるメモリマット部と周辺回路部との配列データに基づいて選択するように構成したことを特徴とする。また本発明は、前記被検査パターンの欠陥検査装置において、前記選択手段は、前記第1の比較手段におけるセル比較において得られる不一致情報に基づいて選択するように構成したことを特徴とする。また本発明は、パターン密度の高い領域とパターン密度の低い領域とを有する被検査パターンにおける欠陥検査方法において、前記被検査パターンから画像信

号を検出し、この検出された画像信号に対してパターン密度の高い領域に適する第1の階調変換を施すと共にパターン密度の低い領域に適する第2の階調変換を施し、前記第1の階調変換された画像信号について基準の第1の画像信号と比較することによってパターン密度の高い領域における欠陥を検出し、前記第2の階調変換された画像信号について基準の第2の画像信号と比較することによってパターン密度の低い領域における欠陥を検出することを特徴とする被検査パターンの欠陥検査方法である。

【0013】また本発明は、パターン密度の高い領域とパターン密度の低い領域とを有する被検査パターンにおける欠陥検査装置において、前記被検査パターンから画像信号を検出する検出系（検出光学系、2次電子検出系）と、該検出系から検出された画像信号に対してパターン密度の高い領域に適する第1の階調変換を施す第1の階調変換手段と、前記検出系から検出された画像信号に対してパターン密度の低い領域に適する第2の階調変換を施す第2の階調変換手段と、前記第1の階調変換手段で第1の階調変換された画像信号について基準の第1の画像信号と比較することによってパターン密度の高い領域における欠陥を検出する第1の比較手段と、前記第1の階調変換手段で第2の階調変換された画像信号について基準の第2の画像信号と比較することによってパターン密度の低い領域における欠陥を検出する第2の比較手段と、前記第1の比較手段と前記第2の比較手段との各々における比較または前記第1の比較手段と前記第2の比較手段との各々から検出される欠陥を選択する選択手段とを備えたことを特徴とする被検査パターンの欠陥検査装置である。

【0014】

【作用】上記構成によれば、セルである繰返しパターン領域からなるメモリマット部と非繰返しパターン領域からなる周辺回路部とを有するチップを複数配設した被検査パターンにおいて、これらパターン密度の相違によって生じる被検査パターンの明るさの違いに影響されことなく、欠陥を高感度に検出することができる。従って、メモリマット部などパターン密度の高い領域も高感度に欠陥を検査することができる。また、周辺回路などパターン密度の低い領域は、欠陥検出感度をいたずらに上げ過ぎることなく欠陥を検査することができる。しかも、画像の濃淡差を検出する方法だけでなく、画像の微分値等を比較する場合においても特に有効である。また上記パターン密度の高い領域とパターン密度の低い領域とを有する被検査パターンにおいて、これらパターン密度の相違によって生じる被検査パターンの明るさの違いに影響されことなく、欠陥を高感度に検出することができる。また上記構成によれば、被検査パターンのセル等の比較において、画像中の不一致により欠陥をより信頼性を高くして検査をすることができる。

【0015】

【実施例】本発明に係わる被検査パターンの欠陥検査方法及びその装置の実施例を図面を用いて説明する。図2は、本発明に係わる被検査パターンの一例である半導体ウエハ4上に多数配設されて形成されたメモリのチップを示す図である。メモリのチップ20は大きく分けて、メモリマット部21と周辺回路部22に大別できる。メモリマット部21は小さな繰返しパターンの集合であり、周辺回路部22はランダムパターンの集合である。図3は、メモリマット部21及び周辺回路部22における明るさ（濃淡）（10ビット構成：最大1024）に対する頻度を示すヒストグラムである。この図3に示すように、メモリマット部21はパターン密度が高く、一般に暗い。一方、周辺回路部22はパターン密度が低く、明るい。従って、メモリマット部21では欠陥が検出しづらく、周辺回路部22では正常部を欠陥として誤って検出しやすい。このような被検査パターンにおける欠陥を図1に示す装置を用いて検査する。図1は、図2に示す被検査パターンにおける欠陥を検査する被検査パターンの欠陥検査装置の一実施例を示す構成図である。即ち、5はX、Y、Z、 θ （回転）ステージであり、被検査パターンの一例である半導体ウエハ4を載置するものである。6は対物レンズである。7は被検査パターンの一例である半導体ウエハ4を照明する照明光源である。8はハーフミラーであり、照明光源7からの照明光を反射させて対物レンズ6を通して半導体ウエハ4に対して例えば明視野照明を施すように構成している。1はイメージセンサであり、被検査パターンの一例である半導体ウエハ4からの反射光の明るさ（濃淡）に応じた濃淡画像信号を出力するものである。2はA/D変換器であり、イメージセンサ1から得られる濃淡画像信号をデジタル画像信号9に変換するものである。

【0016】17aは、第1の階調変換器であり、A/D変換器2から出力されるデジタル画像信号9に対してメモリマット部21に対応する階調変換41（図4に示す。）を施すものである。即ち、第1の階調変換器17aは、対数変換や指数変換、多項式変換等を施して入力に対して出力を増やしていき、入力がある値（メモリマット部21における階調変換の最大値）に到達したときに、出力を一定値にするように階調変換41を施すものである。第1の階調変換器17aからは、例えば8ビットデジタル信号で出力するように構成する。17bは、第2の階調変換器であり、A/D変換器2から出力されるデジタル画像信号9に対して周辺回路部22に対応する階調変換42（図4に示す。）を施すものである。即ち、第2の階調変換器17bは、対数変換や指数変換、多項式変換等を施して入力に対して出力を漸次減少させていく階調変換42を施すものである。第2の階調変換器17bからも、例えば8ビットデジタル信号で出力するように構成する。3aは第1の遅延メモリで

あり、第1の階調変換器17aから出力される階調変換41が施された画像信号10aを繰り返される1セル又は複数セルピッチ分記憶して遅延させるものである。3bは第2の遅延メモリであり、第2の階調変換器17bから出力される階調変換42が施された画像信号10bを繰り返される1チップ又は複数チップピッチ分記憶して遅延させるものである。

【0017】18aはメモリマット部21に対応した第1の比較器であり、第1の階調変換器17aから出力される階調変換41が施された画像信号10aと第1の遅延メモリ3aから得られる1セル又は複数セルピッチ分遅延した階調変換41が施された画像信号11aとを比較するセル比較を行ってメモリマット部21における欠陥を検出するものである。18bは周辺回路部22に対応した第2の比較器であり、第2の階調変換器17bから出力される階調変換42が施された画像信号10bと第2の遅延メモリ3bから得られる1チップ又は複数チップピッチ分遅延した階調変換42が施された画像信号11bとを比較するチップ比較を行って周辺回路部22における欠陥を検出するものである。19はCPUで、例えば半導体ウエハの座標情報に基づいてメモリマット部21であるか、周辺回路部22であるかを識別して第1の比較器18aからの比較結果と第2の比較器18bからの比較結果とを選択して最終判断を行うものである。

【0018】次に動作について説明をする。即ち、ステージ5を走査して被検査パターンの一例である半導体ウエハ4を等速度で移動させつつ、イメージセンサ1により半導体ウエハ4上に形成された被検査パターン（チップ20内のメモリマット部21及び周辺回路部22）の明るさ情報（濃淡画像信号）を検出する。そしてA/D変換器2は、イメージセンサ1の出力（濃淡画像信号）をデジタル画像信号9に変換する。このデジタル画像信号9は10ビット構成である。次にこのデジタル画像信号9を、第1の階調変換器17aにより図4に示すように入力に対して出力を増やしていき、入力がある値（メモリマット部21における階調変換の最大値）に到達したときに、出力を一定値にするように階調変換41を施す。この第1の階調変換器17aにおいて階調変換41が施された出力画像信号10aのヒストグラムを図5に示す。この出力は、図5から明らかなように8ビット構成である。また上記デジタル画像信号9を、第2の階調変換器17bにより図4に示すように入力に対して出力を漸次減少させていく階調変換（入力信号10ビットを対数変換し、暗い部分は若干暗く、明るい部分はさらに暗くして出力する階調変換）42を施す。この第2の階調変換器17bにおいて階調変換42が施された出力画像信号10bのヒストグラムを図6に示す。この出力も、図6から明らかなように8ビット構成である。

【0019】上記第1の階調変換器17aにおける階調変換41及び上記第2の階調変換器17bにおける階調変換42は、検査前にメモリマツト部21及び周辺回路部22の画像を検出し、これらのヒストグラム（図5及び図6に示す。）からそれぞれ決める。第1の階調変換器17aにおける階調変換41は、例えば、図5に示すように、ヒストグラムの形状、即ち最小値、最大値を含めてメモリマツト部が定めた階調範囲に入るように決める。また第2の階調変換器17bにおける階調変換42は、図6に示すようにパターンコントラストがメモリマツト部と周辺回路部でほぼ同じ程度になるように決める。コントラストは画像信号に微分等を施して求めてもよい。いずれも、階調変換の前後において、所望の関係を保つように決める必要がある。具体的には、階調変換は対数変換や指数変換、多項式変換等である。ところで、図5に示すヒストグラム（メモリマツト部21対応）と図6に示すヒストグラム（周辺回路部22対応）とを比較してみると、メモリマツト部21における明るさ（濃淡）（8ビット構成）に対する頻度と周辺回路部22における明るさ（濃淡）（8ビット構成）に対する頻度とがほぼ同程度になったことが明らかである。

【0020】そして、第1の階調変換器17aにより階調変換41が施された画像信号10aを第1の遅延メモリ3aに格納するとともに、すでに格納してあった画像信号11aを読みだして第1の比較器18aにおいてセル比較することにより、メモリマツト部21における欠陥を検出することができる。また第2の階調変換器17bにより階調変換42が施された画像信号10bを第2の遅延メモリ3bに格納するとともに、すでに格納してあった画像信号11bを読みだして第2の比較器18bにおいてチップ比較することにより、周辺回路部22における欠陥を検出することができる。第1の比較器18aは、第1の遅延メモリ3aから出力されるセルピッチに相当する量だけ遅延した画像と検出した画像を比較するセル比較であり、第2の比較器18bは、第2の遅延メモリ3bから出力されるチップピッチに相当する量だけ遅延した画像と検出した画像を比較するチップ比較である。設計情報に基づいて得られる図2に示した半導体ウエハ4上におけるチップ内の配列データ等の座標を、キーボード、ディスク等から構成された入力手段12で入力しておくことによりCPU19は、第1の比較器18aによるセル比較の結果と第2の比較器18bにおけるチップ比較の結果とを、入力された半導体ウエハ4上におけるチップ内の配列データ等の座標に基づいて、選択し、欠陥検査データを作成して記憶装置13に格納する。この欠陥検査データは、必要に応じてディスプレイ等の表示手段に表示することもでき、また出力手段に出力することもできる。

【0021】上記実施例においては、第1の比較器18aによるセル比較の結果と第2の比較器18bにおける

チップ比較の結果との選択をCPU19に行わせたが、第1の比較器18a及び第2の比較器18bにおいて、行ってもよいことは明らかである。また上記第1の比較器18aによるセル比較と上記第2の比較器18bによるチップ比較との選択は、下記のように行ってもよい。即ち、CPU19が、上記第1の比較器18aから得られるセル比較による不一致情報、例えば不一致画素数を定めた範囲の画像ごとに算出し、これがしきい値より大きい場合には、上記第2の比較器18bから得られる対応する画像を用いたチップ比較による結果を選択し、不一致画素数がしきい値より小さい場合には上記第1の比較器18aから得られるセル比較結果を選択することができる。この方法によれば、チップ内の配列情報がなくてもチップ比較とセル比較の選択が可能となる。本発明は、上記の実施例において説明したように、メモリマツト部に対応する階調変換と周辺回路部に対応した階調変換とを施した後、それぞれ比較（セル比較とチップ比較）をすることを特徴とするものである。

【0022】なお、第1の比較器18a及び第2の比較器18bの詳細は、本発明者らが開発した方式、特開昭61-212708に示したもの等よく、例えば画像の位置合わせ回路や、位置合わせされた画像の差画像検出回路、差画像を2値化する不一致検出回路、2値化された出力より面積や長さ（投影長）、座標などを算出する特徴抽出回路からなる。また、本発明の場合、後述するように、不一致となった箇所の差画像の明暗情報を検出する回路からなる。上記実施例においては、第1の階調変換器17a及び第2の階調変換器17bから8ビット構成で出力する場合について説明したが、10ビット構成で出力しても構わない。しかし8ビット構成で出力した方が、階調変換後有効ビット数を減少させることができる。また上記実施例においては、本発明に係る被検査パターン欠陥検査画像処理（A/D変換器2からCPU19まで）を、光学顕微鏡（ステージ5、対物レンズ6、照明光源7、ハーフミラー8、イメージセンサ1）に適用した場合について説明したが、走査型電子顕微鏡に適用することもできることは明らかである。但し、本発明に係る被検査パターン欠陥検査画像処理（A/D変換器2からCPU19まで）を、走査型電子顕微鏡に適用した場合、イメージセンサ1は、シンチレータ等のディテクタになる。

【0023】次に、図7～図10を用いて、メモリマツト部21などのパターン密度が高い繰返しパターン領域における比較欠陥判定の一実施例について説明する。まず図7及び図8を用いて不一致領域の長さLにより欠陥判定する実施例について説明する。即ち、図7において、画像Aに微小な欠陥が存在している。この画像Aを、例えば第1の遅延メモリ3aにより定めた遅延量 Δt だけ遅延させ、画像A'を得る。遅延量は繰返しパターンのセルピッチに相当する量である。これらの画像

A, A' を例えば第1の比較器18aで比較し、不一致画像として $|A-A'|$ を検出すると、明るさの違いによる不一致が2か所に生ずる。このように、欠陥は必ず2回表われるので、2回あらわれたものの間隔が Δt に対応するものを正しい欠陥として例えばCPU19が判定すればよい。この判定を第1の比較器18aにおいて行っても良いことは明らかである。もしこの判定において1回しか表われないものは、虚報と見做すことができる。ところが、図8に示すように Δt にくらべ比較的大きな欠陥の場合、不一致は1か所になってしまう。このため、前記した不一致は必ず2回出現するというルールが適用できず、これを見逃してしまう。このため、例えばCPU19が、図示したように不一致の長さLを検出し、Lが Δt と同じ程度の大きさの場合は、2回出現しなくてもこれを正しい欠陥として判定すればよい。

【0024】次に図9及び図10を用いて不一致領域の明るさ情報により欠陥判定する実施例について説明する。即ち、図9は、不一致の明るさを含めて示したものである。微小な暗い欠陥の場合、不一致は負、正という順序で2回出現する。このため、例えばCPU19において、この順序であれば、欠陥は本来のパターンの明るさより暗いと判定できる。同様に図10に示すように、 Δt にくらべ比較的大きな暗い欠陥の場合、不一致は1回しか出現しないが、不一致の内部の明るさ変化情報は、負、正という順序になっている。従って、この場合、例えばCPU19において、不一致が1回しか出現しなくても、その明るさ変化情報から、暗い欠陥が存在すると判定できる。以上、本発明に係る画像の階調変換、比較方法の実施例について説明した。上記実施例によれば、場所によるパターンの明るさの違いに影響されことなく、欠陥を高感度に検出することができる。従って、メモリマット部21など暗い領域も高感度に検査をすることができる。また、周辺回路部22など明るい領域は、欠陥検出感度をいたずらに上げ過ぎることなく検査をすることができる。しかも、画像の濃淡差を検出する方法だけでなく、画像の微分値等を比較する方法等にも有効である。従って、従来にくらべ、信頼性の高い検査を実現することができる。

【0025】更に上記実施例によれば、不一致の長さや明るさの情報、或いは明るさの変化情報を用いることにより、誤検出が低減でき、しかも欠陥の明暗が判定でき、検査信頼性や欠陥分類が可能となる。本発明は、主に光学顕微鏡を用いた画像検出に基づく比較検査方法について述べたが、走査型電子顕微鏡を用いた場合にも、同様に有効である。

【0026】

【発明の効果】本発明によれば、場所による被検査パターンの明るさの違いに影響されことなく、欠陥を高感度に検出することができる効果を奏する。また本発明に

よれば、被検査パターンが半導体ウエハの如く、メモリマット部など暗い領域については欠陥を高感度に検査でき、しかも周辺回路など明るい領域についても、欠陥検出感度をいたずらに上げ過ぎることなく検査することができる、信頼性の高い検査を実現することができる効果を奏する。また本発明によれば、不一致の長さや明るさの情報をを用いることにより、誤検出を低減して、検査の信頼性を格段に向上させることができ、しかも欠陥の明暗が判定でき、これに基づく欠陥の分類をも可能にする効果を奏する。

【図面の簡単な説明】

【図1】本発明に係る被検査パターンの欠陥検査装置の一実施例を示す構成図である。

【図2】本発明に係る被検査パターンとしてのメモリチップの構成を示す図である。

【図3】図2に示す被検査パターンとしてのメモリチップにおけるパターンの明るさのヒストグラムを示す図である。

【図4】本発明に係る2種類（メモリマット部対応と周辺回路部対応）の階調変換を示す図である。

【図5】本発明に係るメモリマット部対応の階調変換後のパターンの明るさのヒストグラムを示す図である。

【図6】本発明に係る周辺回路部対応の階調変換後のパターンの明るさのヒストグラムを示す図である。

【図7】本発明に係るセル比較等においてセルピッチに比べて微小な欠陥の場合における不一致の発生の様子を示す図である。

【図8】本発明に係るセル比較等においてセルピッチに比べて大きな欠陥の場合における不一致の発生の様子を示す図である。

【図9】本発明に係るセル比較等においてセルピッチに比べて微小な欠陥の場合における不一致の明暗情報を示す図である。

【図10】本発明に係るセル比較等においてセルピッチに比べて大きな欠陥の場合における不一致の明暗情報を示す図である。

【符号の説明】

1…イメージセンサ、2…A/D変換器、3a…第1の遅延メモリ

3b…第1の遅延メモリ、4…半導体ウエハ

5…ステージ(X, Y, Z, θ)、6…対物レンズ、7

…照明光源

12…入力手段、13…記憶装置、17a…第1の階調変換器

17b…第2の階調変換器、18a…第1の比較器、1

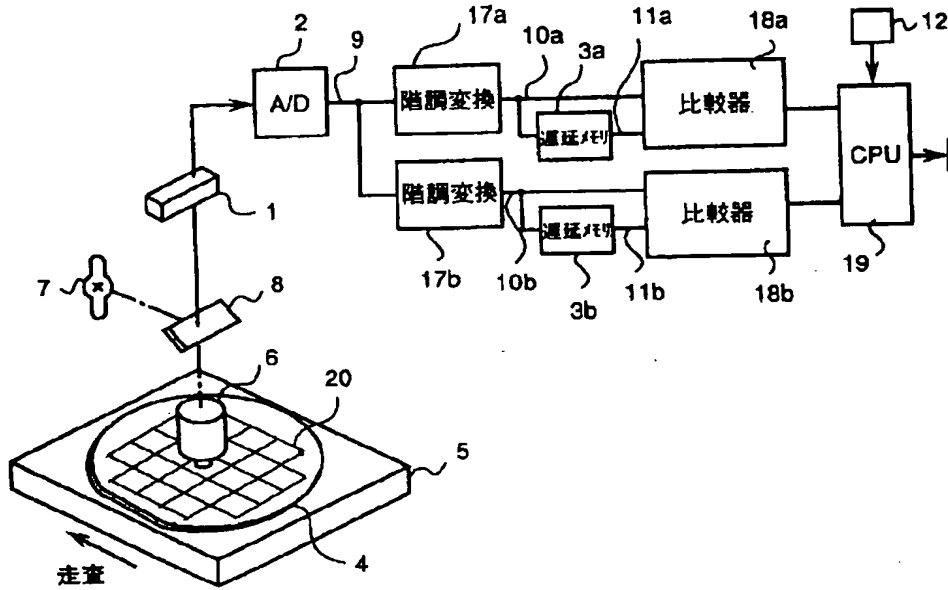
8b…第2の比較器

19…CPU、20…チップ、21…メモリマット部、

22…周辺回路部

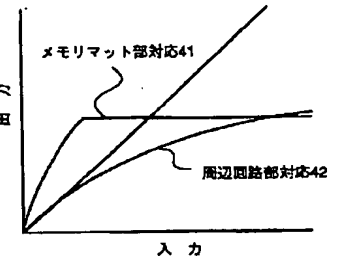
【図1】

図 1



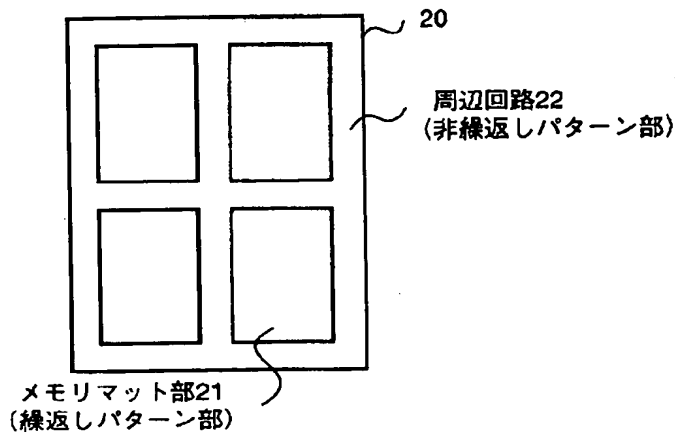
【図4】

図 4



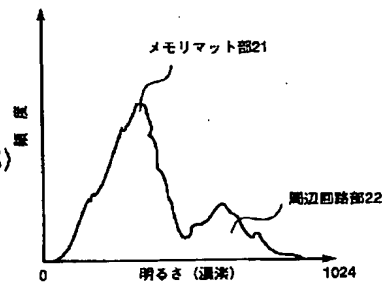
【図2】

図 2



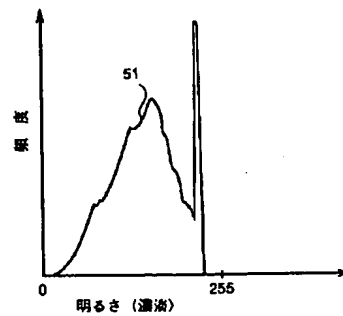
【図3】

図 3



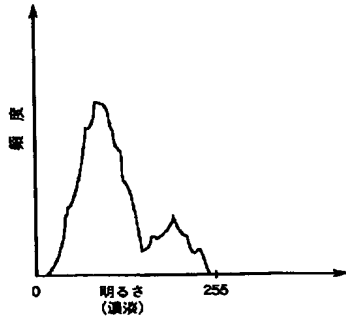
【図5】

図 5



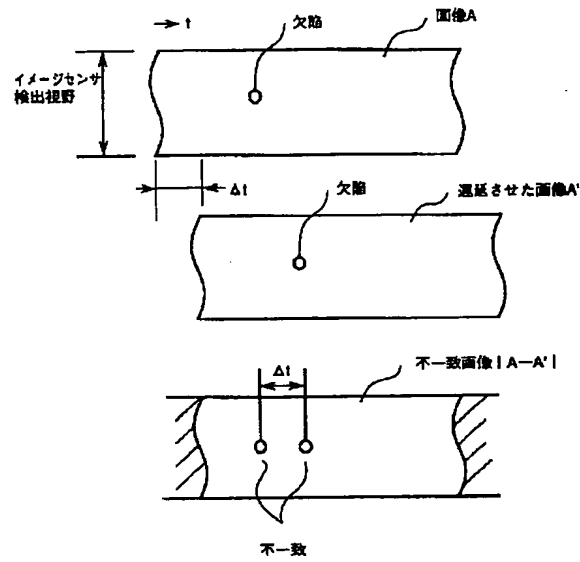
【図 6】

図 6



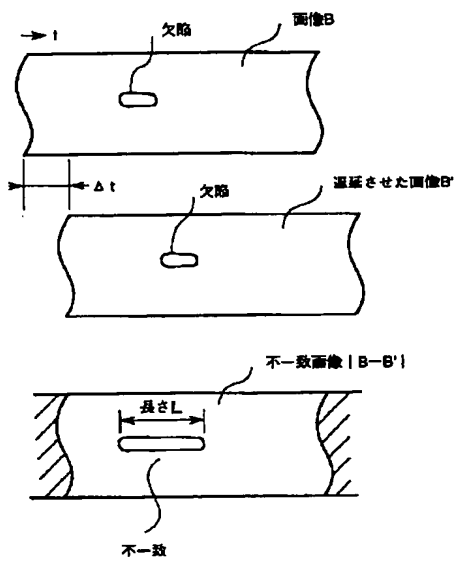
【図 7】

図 7



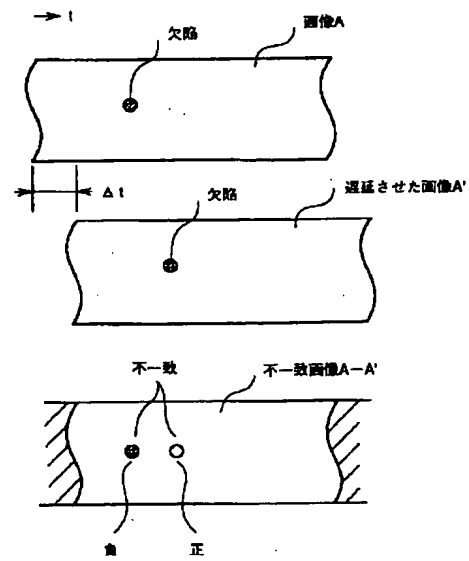
【図 8】

図 8



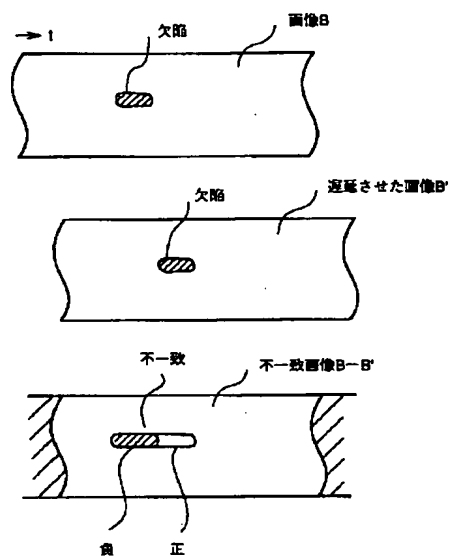
【図 9】

図 9



【図10】

図 10



フロントページの続き

(72)発明者 窪田 仁志
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内

(72)発明者 岡 健次
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内

(72)発明者 牧平 坦
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内